

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04107964 A**

(43) Date of publication of application: **09.04.92**

(51) Int. Cl.

**H01L 25/065**

**H01L 21/90**

**H01L 25/07**

**H01L 25/18**

(21) Application number: **02225030**

(22) Date of filing: **29.08.90**

(71) Applicant: **HITACHI LTD**

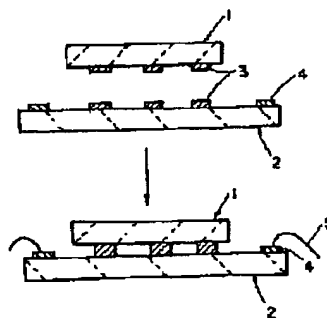
(72) Inventor: **MIYAMA MASANORI  
MITANI TSUNEO  
SASAKI KEIJI  
HOSOE HIDEYUKI**

(54) SEMICONDUCTOR IC DEVICE

(57) Abstract:

PURPOSE: To perform wiring processing without being influenced by of a diffusion layer so as to shorten a process by preparing the separately manufactured diffusion layer and a wiring layer for electrically connecting these.

CONSTITUTION: A chip 1 where only a diffusion layer is formed and a chip 2 where only a wiring layer is formed are individually manufactured. These chips 1, 2 are provided with electrodes 3 for connection respectively. A pad 4 for wire bonding is provided around the chip 2 only provided with the wiring layer. Next, these electrodes 3 for connection are melted and the diffusion layer and the wiring layer are electrically connected. The pad 4 for wire bonding is bonded with a connector wire 5.



COPYRIGHT: (C)1992,JPO&Japio

**BEST AVAILABLE COPY**

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-107964

⑮ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)4月9日

H 01 L 25/065  
21/90

A

6810-4M  
7638-4M

H 01 L 25/08

B※

審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 半導体集積回路装置

⑰ 特 願 平2-225030

⑱ 出 願 平2(1990)8月29日

⑲ 発 明 者 深 山 昌 敬 東京都青梅市今井2326番地 株式会社日立製作所デバイス  
開発センタ内  
⑲ 発 明 者 三 谷 恒 夫 東京都青梅市今井2326番地 株式会社日立製作所デバイス  
開発センタ内  
⑲ 発 明 者 佐 々 木 圭 治 東京都青梅市今井2326番地 株式会社日立製作所デバイス  
開発センタ内  
⑲ 発 明 者 細 江 英 之 東京都青梅市今井2326番地 株式会社日立製作所デバイス  
開発センタ内  
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
⑲ 代 理 人 弁理士 小川 勝男 外1名  
最終頁に続く

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 主面内に複数の半導体領域を形成した一つの半導体構成部材と主面上に配線を形成した他の半導体構成部材とが貼着され、前記半導体領域と配線とが電気的に接続されて成ることを特徴とする半導体集積回路装置。

2. 前記両構成部材に、半導体領域と配線とを電気的に接続するための接続用電極を具備して成る、請求項1に記載の半導体集積回路装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体集積回路装置に関し、詳しくは、拡散領域と配線領域とを別製した当該装置構成部材を貼着し一体化して成る半導体集積回路装置に関する。

(従来の技術)

従来の半導体集積回路装置(以下、ICという)

は、一般に、拡散技術またはイオン打込み技術によって基板上に拡散領域を形成後、層間絶縁膜を介し、コンタクトホールを形成して、例えば順次1層目のアルミニウム配線、次いで2層目のアルミニウム配線よりなる配線領域を形成してこれら拡散領域と配線領域とを備えたICとなしていく。

尚、当該ICの製法について述べた文献の例としては、昭和56年3月20日(株)オーム社発行壺井康夫著「超LSI技術」p355~415が挙げられる。

〔発明が解決しようとする課題〕

しかし、このように拡散領域(拡散層)上に、配線領域(配線層)を形成して行く場合、拡散層の段差の影響を受けその配線加工に諸種の問題を生じ、また、拡散層の形成を待つて配線層の形成に着手するので勢いその工程にかかる時間が長くなるという難点があった。

本発明はかかる従来の技術の有する欠点を解消し、拡散層の段差の影響を受けずに配線加工が可能で、工程を短縮することのできる技術を提供すること

を目的とする。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

本発明では、従来のように拡散層に続けて当該拡散層上に配線層を形成するのではなく、拡散層と配線層を別製したものを作っておき、これらを電気的に接続するようにする。

〔作用〕

このように、拡散層と配線層とが別製されているので、配線層の形成が拡散層の影響を受けることが少なくなり、また、必要時に適宜例えば拡散層を有するチップと配線層を有するチップとを貼着し、電気的に接続し、一体化したチップとなせばよいので、その工程を短縮でき、ICの製造に要する期間を短くすることができる。

れている。

これら $N^+$ 形半導体領域8は、フィールド絶縁膜9により分離されている。

$N^+$ 型半導体領域8などの形成は、周知のイオン打込みあるいは拡散技術により行なうことができる。

$N^+$ 型半導体領域8は、接続用電極3と電気的に接続している。

フィールド絶縁膜9は、例えば $SiO_2$ 膜より構成される。

接続用電極3は、例えばポリシリコン層により構成される。

配線層のみを形成したチップ2は、半導体基板10に絶縁膜11を介して、アルミニウム配線(A4-2)12を形成する。さらに、層間絶縁膜13を介して、アルミニウム配線(A4-1)14を形成する。保護膜15にコンタクトホールを形成し、アルミニウム配線(A4-1)14と導通させた接続用電極3を形成する。

これらチップ1、2を第1図に示すように、接

〔実施例〕

次に、本発明の実施例を図面に基づいて説明する。

第1図に示すように、拡散層のみを形成したチップ1と配線層のみを形成したチップ2とを個別に製造しておく。

これらチップ1、2には、それぞれ接続用電極3を形成しておく。

配線層のみを形成したチップ2の周辺にはワイヤボンディング用パッド4を周設しておく。

第1図に示すように、これら接続用電極3を溶融させ、当該拡散層と配線層との電気的な接続を行なう。

ワイヤボンディング用パッド4には、コネクタワイヤ5をワイヤボンディングする。

第3図にこれらチップ1、2の要部構成断面を示す。

拡散層のみを形成したチップ1は、 $N$ 型半導体基板6中に、 $P$ 型ウェルが形成されている。

$P$ 型ウェルには、 $N^+$ 形半導体領域8が形成さ

れる。接続用電極3、3を介して、貼着し、電気的に接続させる。

第2図は、本発明の他の実施例を示す。この実施例は、拡散層のみを形成したチップ1に両面に接続用電極3を設ける。

配線層のみを形成したチップは、上部配線と下部配線をもつようにする。

上部配線を持つチップ2Aの表面には、ワイヤボンディング用パッド4を設け、その裏面には、拡散層のみを形成したチップ1との接続のための接続用電極3を設ける。

下部配線をもつチップ2Bの表面には、拡散層のみを形成したチップ1との接続のための接続用電極3を設ける。

拡散層のみを形成したチップ1を中間として、当該チップ1の両面に、上部配線をもつチップ2Aおよび下部配線をもつチップ2Bを、第1図に示すものと同様に、貼着接続させる。

本発明における上記チップ1、2は、例えばシリコン単結晶基板から成り、周知の技術によって

このチップ内には多数の回路素子が形成され、1つの回路機能が与えられている。回路素子の具体例は、例えばMOSトランジスタから成り、これらの回路素子によって、例えば論理回路及びメモリの回路機能が形成されている。

本発明によれば、配線領域のみを形成したチップ2と拡散領域のみを形成したチップ1とを別個に製造しておき、適宜これらを貼着していけばよいので、工程が短縮され、配線領域が拡散領域の段差による影響を受けることが少なくなる。

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

#### 〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

本発明によれば配線領域が拡散領域の段差によ

る影響を受けず、また、半導体集積回路装置の組立工程が短縮される。

#### 4. 図面の簡単な説明

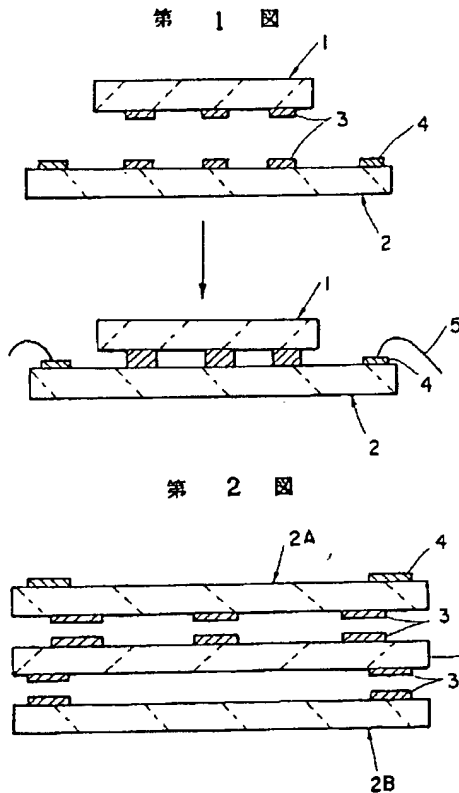
第1図は本発明の実施例を示す断面図、

第2図は本発明の他の実施例を示す断面図、

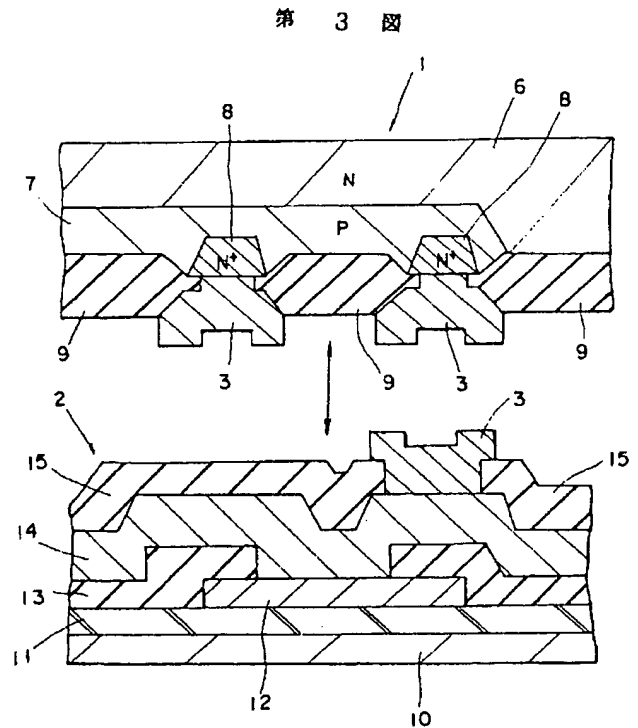
第3図は本発明の他の実施例を示す構成図である。

1…拡散領域を形成した半導体集積回路装置構成部材、2…配線領域を形成した半導体集積回路装置構成部材、3…接続用電極、4…ワイヤボンディング用パッド、5…コネクタワイヤ、6…半導体基板、7…ウエル、8…拡散領域、9…フィールド絶縁膜、10…半導体基板、11…絶縁膜、12…アルミニウム配線、13…層間絶縁膜、14…アルミニウム配線、15…保護膜。

代理人 弁理士 小川勝男



第 2 図



第 3 図

第1頁の続き

⑤Int. Cl.<sup>5</sup>

H 01 L 25/07  
25/18

識別記号

庁内整理番号

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**